

基于 Verilog 的 CAN 总线协议验证模型库的建立

吕易俗¹, 田文杰¹, 李翔宇², 殷树娟¹, 包 舒², 孙少东²

(1 北京信息科技大学 理学院, 北京 100192; 2 清华大学 微电子所, 北京 100038)

摘 要: 随着集成电路芯片设计难度的提高, 对芯片设计的验证也变得越来越复杂. 能够高效全面的验证, 同时缩短整个开发周期, 降低设计成本是验证工作者面对的重要问题. 对此基于 Verilog HDL 设计了 CAN 总线节点的 RTL 验证模型, 并依据建立验证模型的需求, 增加了错误注入功能及用户接口, 从而简化测试平台开发的复杂度, 最终完成对被测目标中 CAN 模块的协议完整性的测试. 通过对典型操作实例的分析, 验证了该方法的有效性.

关键词: 验证; 验证模型; CAN 总线; verilog

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)03-0122-05

Establishment of CAN Bus Protocol Verification Model Using Verilog

LV Yi-su¹, TIAN Wen-jie¹, LI Xiang-yu², YIN Shu-juan¹,
BAO Shu², SUN Shao-dong²

(1 College of Science, Beijing Information Science & Technology University, Beijing 100192, China;

2 Institute of Microelectronics, Tsinghua University, Beijing 100038, China)

Abstract: With increasing difficulty of the integrated circuit chip design, verification has become increasingly complex, fully capable of comprehensive verification, shorten the development cycle, reduce design cost are becoming particularly important issues for validators. This article is based on Verilog HDL to design a CAN bus verification model to validate CAN bus nodes. In order to meet the needs of the verification, capabilities of error injection and user interface are added, these functions simplify the complexity of the test platform. Finally, the integrity test of the DUT's CAN protocol within bus model is achieved. Our analysis of typical examples verify the effectiveness of the method.

Key words: verification; verification model; CAN bus; verilog

1 引言

集成电路电路设计难度日益增大, 设计的可重用技术得到广泛应用. 同样, 由于验证工作具有复杂度高的特点, 也希望采用重用技术来实现工作难度和强度的减少. 为提高对复杂系统的验证能力, 就需构建出先进的由一系列可重用通用验证模型组成的验证平台. 一个高级的验证平台的重要指标是保证平台的可重用性, 验证模型是验证平台的基础组件,

要求具有可配置性、封装成型、易于使用、可重用性等优点. 验证平台中每一验证模型完成特定协议标准的仿真和验证, 在不同验证环境中实现基础验证模型的重用, 同时将系统功能性的划分并逐级分配给各验证模块, 建立模型化、层次化的测试平台.

在总线领域中, CAN 总线占据重要地位, 具有位速率高、抗电磁干扰性强、自动检测错误等优点. 据统计带有 CAN 总线的 MCU 芯片总量已经达到 1 亿 3 千万片, 在接口芯片技术方面, CAN 总线已

收稿日期: 2014-06-20; 修回日期: 2014-08-08

基金项目: 国家自然科学基金项目(61376057); 北京市自然科学基金项目(4122030); 北京市自然科学基金重点项目(B)(KZ201511232037)

经领先于 FF、PROFIBUS、LONWORKS 等其他所有现场总线,所以针对 CAN 总线的可重用验证模型可积极促进相关芯片设计进程。

本文的 CAN 总线验证模型依照随机约束激励与自动化检测比较的构想,实现在初始化和配置接口的控制下支持多重工作速率,多重工作模式和测试向量多样等功能。模型库从指定各种测试向量的测试命令输入到对被测目标测试帧的输出,模拟了总线通信行为,包括有约束的测试向量生成,层次化验证结构,以验证功能覆盖率为目标,检测被测目标对错误情况的检测能力,提高验证效率,降低总的设计开发时间。

2 CAN 总线验证模型设计

基于 CAN 总线 2.0 标准的验证模型库完全支持协议规定的标准格式和扩展格式帧收发。模型库作为标准模型验证被测目标的功能正确性,与被测目标基于测试帧的通信测试,实现对被测目标发送测试帧或干扰被测目标输出帧,然后报告被测目标对常规情况和边界情况的处理能力;验证模型库也可对被测系统监听测试,即不参与通信只执行监听工作,对比通信过程是否满足总线协议规定,并报告测试结果;同时在验证环境中,验证模型可作为独立通信模块,应用于被测系统中,实现非 CAN 总线通信的被测系统与其他支持 CAN 总线测试环境的数据连接工作。

图 1 所示基于 CAN 总线模型库的验证环境,建立验证平台将被测目标与验证模型通过总线互联,验证模型依照随机测试向量或特定测试向量的测试指令向总线发送测试帧。CAN 总线模型库采用基于有限状态机的设计方法,按结构主要划分为位时序逻辑、顶层协议逻辑和用户接口 3 个主模块。图 2 中描述了 CAN 总线模型库组成及各模块间的关系,为了保证在测试过程中与被测目标协同操作,验证模型使用模块化设计方法,与总线通信中的同步和采样功能由位时序逻辑实现;将 CAN 总线协议功能实现在独立单元中,即顶层协议逻辑;而输入/输出由接口实现,所有测试指令输入通过接口完成,测试操作经过顶层协议逻辑和位时序逻辑中各个单元层次化处理输出到被测目标,测试结果经接口整合输出。

2.1 位时序逻辑

CAN 总线协议采用非归零码编码作为通讯方式,这种通讯方式在每个位中没有附加同步信息,所

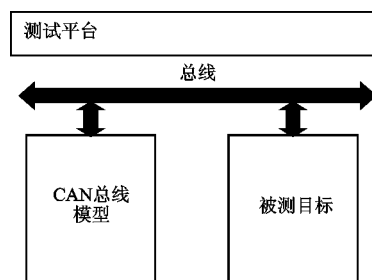


图 1 基于 CAN 总线模型库的验证环境

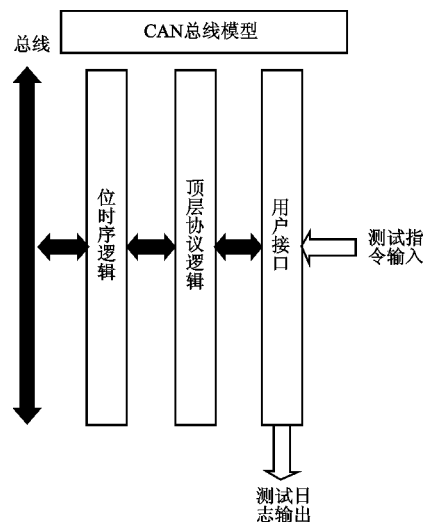


图 2 CAN 总线模型库组成结构

以 CAN 总线协议规定以位时序逻辑方式实现信息的同步工作,减小节点间的时钟频率误差及传输路径上的相位延迟引起的偏差。图 3 所示为位时序逻辑的状态转移图。

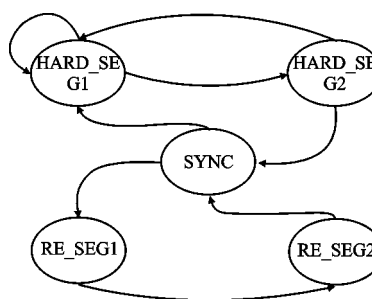


图 3 位时序逻辑状态转移图

工作在硬同步下的硬同步相位缓冲段 1 状态和硬同步相位缓冲段 2 状态是为了在帧起始时刻实现总线状态与本节点模块的同步的功能。受外界干扰的影响,测试控制器与总线上的位时间需长度比较,在总线位长度大于本节点控制器位长度情况下,适当对重同步相位缓冲段 1 状态的长度进行延长;在

总线位长度小于本节点控制器位长度情况下,会对重同步相位缓冲段 2 状态长度缩短. 最终经延长重同步相位缓冲段 1 状态或缩短重同步相位缓冲段 2 状态使测试控制器与被测目标的位长度保持一致. 如图 4 所示,重同步功能由重同步模块与状态机协同处理,采样模块负责数据接收工作,需要输出的数据依照输出模块判断状态机状态输出到总线上. 位时序逻辑可实现位错误注入功能,但依照总线逻辑必须使用独立总线发送数据,位错误注入逻辑模块执行接口命令干扰总线数据.

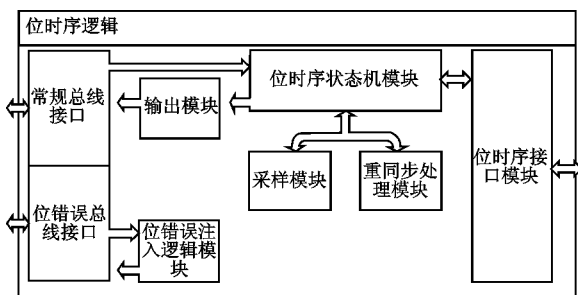


图 4 位时序逻辑结构图

2.2 顶层协议逻辑

顶层协议逻辑用于处理上层的 CAN 总线协议逻辑,这部分负责发送和接收数据时的数据处理工作,保障高层协议的正常运转,同时此部分依照接口的输入加入了错误注入功能,检验被测目标对指定错误的检测能力. 图 5 为描述了顶层协议逻辑的状态转移图,顶层协议逻辑是处理总线协议的核心,总共可分为启动状态、空闲状态、选择状态、发送状态、接收状态、过载状态、间歇状态和挂起状态,其中各个状态下又划分多个子状态来处理状态内部的数据.

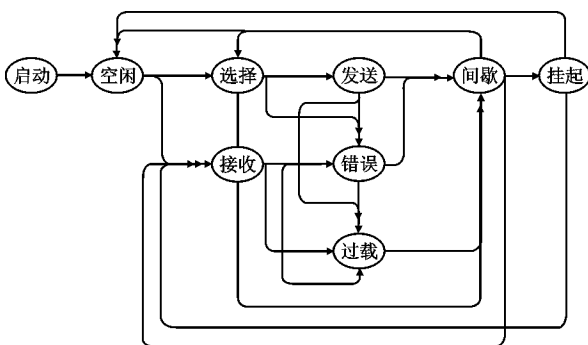


图 5 顶层协议逻辑状态转移图

依照 CAN 总线协议,验证模型首先经过启动状态完成测试工作前的准备工作,启动后进入空闲

状态依照接口输入的测试命令和配置信息决定进入选择状态或接收状态进行测试向量的发送和接收. 测试向量的发送要经过选择状态和发送状态完成数据的发送,在发送过程中验证模型要完成数据发送,仲裁,CRC 序列计算和应答处理过程,如果节点错误类型为消极错误类,发送完成后状态进入挂起状态. 接收状态下,验证模型负责对接收信息的过滤,CRC 计算和存储工作,如果符合接收 ID 且 CRC 序列正确,则对这一帧的应答场应答反馈,表示成功接收. 在帧数据、过载帧和错误帧发送、接收过程中若产生错误,状态会跳转入错误状态,错误状态下验证模型负责错误帧的发送和监听. 帧数据、过载帧和错误帧的最后一位,间歇场的前两位如果接收显性位,状态进入到过载状态,并监听过载帧的发送过程. 帧数据、过载帧和错误帧正常结束后都会进入到间歇状态,验证模型在此状态依照接口完成下一测试向量的加载工作,从而完成测试的自动化过程. 如图 6 所示,顶层协议逻辑中各模块负责各自功能的处理,模块间依照状态机的控制信息协调工作.

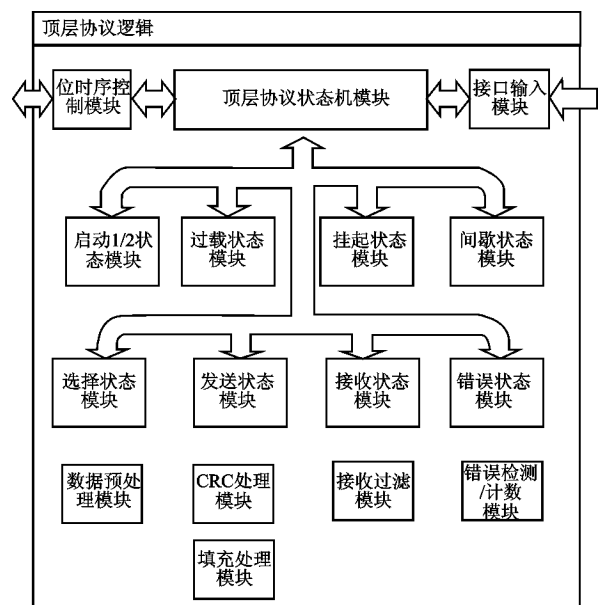


图 6 顶层协议逻辑结构图

2.3 用户接口

为了方便用户而准备的接口任务,用以提供简单的调用接口任务,控制验证模型库内部的复杂操作. 用户接口可执行测试命令输入和测试结果的输出工作,其中输入工作是由多组任务(task)模块组成的,依照不同需求调用对应的任务,并在任务模块中填入数据和功能指令,发送到顶层协议逻辑完成指定工作;用户接口的测试结果输出负责将测试输

出信息整理成测试日志输出。

2.3.1 用户接口指令输入

用户接口从功能上主要分为正确帧接口和特殊帧接口。正确帧接口能够完成符合总线协议的标准数据帧、标准远程帧、扩展数据帧和扩展远程帧的发送或接收工作,正确帧接口只需补充 ID、R0 位、R1 位、DLC 场和数据场等信息,其他场信息会自动填入到顶层协议逻辑中,可极大简化测试工作量;对被测目标的错误处理或其他特殊处理能力测试是由特殊帧接口完成,特殊接口负责特殊的数据帧、远程帧、错误帧、过载帧、间歇场和填充功能对顶层协议逻辑的写入,特殊接口可满足测试覆盖率提供了帧信息中每一位的设置。

2.3.2 测试日志输出

用户接口监视验证模型与测试目标的通信全过程。在测试向量执行完成后,用户接口读取顶层协议逻辑内输出结果,翻译成通信结果信息并以文本的形式显示。

输出内容包括以下几点:

节点总线状态信息,表示出以验证模型和被测目标组成的通信系统中各个节点的总线状态信息,可分别表示总线在线状态或总线关闭状态;

节点错误状态信息,表示检查各种测试向量的传输结果是否与总线协议一致,是否产生错误;

节点发送完成状态信息,表示各节点发送或接收是否成功,如果失败会显示错误产生位置;

节点发送/接收错误计数器状态信息,表示各节点发送接收计数器中的数值,便于对错误信息的管理;

节点发送/接收数据信息,测试向量发送或接收成功的 ID 场、R0 位、R1 位、DLC 场和数据场信息;

最终结果信息,最后根据发送信息与接收信息的比较总结出的综合结果。

3 错误注入原理

验证模型库不仅能够验证被测目标在正常状态下是否能够正常工作,完成数据的收发任务,还要验证被测目标能否对错误情况有正确的处理机制,这就需要验证模型库能够产生具有针对性的错误帧信息,该验证模型库提供了产生不同类型错误的机制,可以使用特殊接口来产生期望错误。

CAN 总线协议定义了多种错误类型,分别为位错误、填充错误、格式错误、应答错误和 CRC 错误。

填充错误的注入,验证模型不会对帧数据中需要填充的位进行取反填充,反而是将这些需要填充的位填充相同的值输出到总线上,使之故意产生填充错误,测试被测目标对填充错误的检测能力。

格式错误改变了 CAN 总线协议中规定的固定格式,检验被测目标特定位格式错误处理能力。

总线模型在发送每一帧时,会自动生成 CRC 标识场中正确的 CRC 序列。若产生 CRC 错误,将 CRC 标识场中的 CRC 序列以错误的算法计算并输出。

对于应答错误,接收节点对接收到的帧不应答,使被测目标产生应答错误。

位错误需要在验证平台源代码中修改测试模型与被测目标间连接的总线端口。CAN 总线模型库是在软件行为级层面模拟电气特性,即显性位和隐性位同时发送时,最后总线数值为显性。修改总线端口使总线上显性位和隐性位同时发送时,最后总线值为隐性,使被测目标产生位错误。

4 CAN 总线验证模型库自身正确性验证

依据 CAN 总线协议测试性标准《Road vehicles-Controller area network(CAN) - Conformance test plan》要求,CAN 总线验证模型库通过了其规定的接收帧类、发送帧类和双向通信帧类下的有效帧传输、错误检测、错误帧管理、过载帧管理、消极错误状态处理、错误计数管理和位时序逻辑的所有验证向量,保证了 CAN 总线验证模型库自身功能的正确性。

5 验证实例

本节列举一个测试实例,由 CAN 总线模型库和被测目标组建成 CAN 总线验证平台并在 Modelsim 环境中运行。本实例展示了验证模型库对被测目标的一次测试过程,图 7 所示仿真波形的输出结果,图 8 所示测试输出日志结果。

图 7 所示波形是 CAN 总线验证模型与被测目标通过总线的数据传输过程,帧信息在图中 rt 总线上传输,并在应答标识符场接收节点应答此帧信息,在帧结束场的最后一位发送节点和接收节点各自标注发送成功和接收成功信息。传输的数据信息和输出信息如图 8 所示,输出信息包括总线的状态信息,各个节点的状态信息,各节点发送的和接收数据信息,最终结果的判断完成一个标准帧的测试过程。

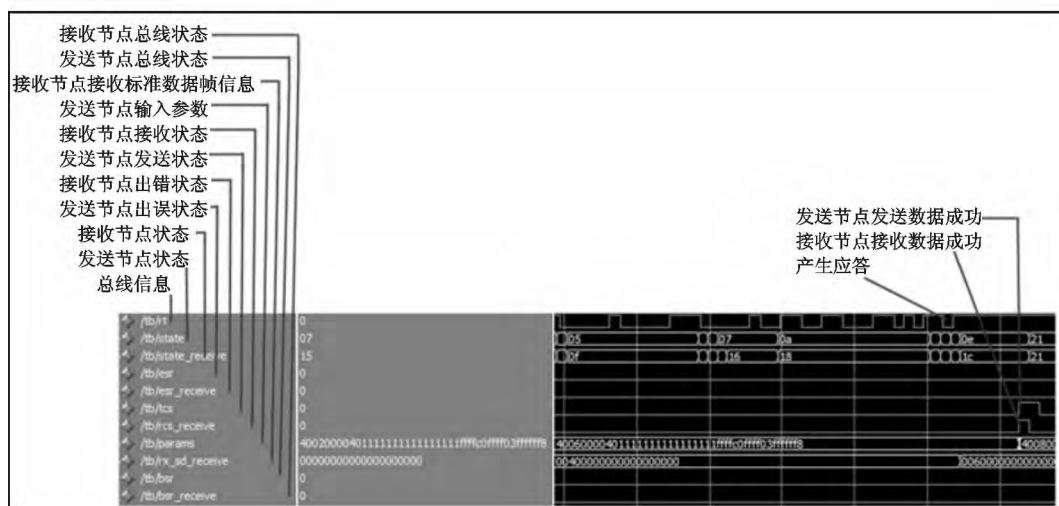


图 7 CAN 总线验证模型库的仿真测试波形

```

0_BSR=0,bus state:on line
0_ESR=0,error state:correct
0_TCS=1,transfer state:transfer finished
0_ECC=00000000 error type:bit error, error direction:receive error, error position:NO ERROR
0_RXERR= 0,receive error amount
0_TXERR= 0,transfer error amount

receive node info:
0_BSR=0,bus state:on line
0_ESR=0,error state:correct
0_TCS=0,transfer state:transfer unfinished
0_ECC=00000000 error type:bit error, error direction:receive error,error position:NO ERROR
0_RXERR= 0,receive error amount
0_TXERR= 0,transfer error amount

transfer node transfered standard date frame
ID=00000000010,R0=0,DLC=0000

receive node received standard date frame
ID=00000000010,R0=0,DLC=0000

test result:pass!

```

图 8 CAN 总线验证模型库的仿真测试输出日志

6 结束语

本文提出一种基于 Verilog 语言描述的 CAN 总线验证模型实现方案,在该模型不仅完整地实现了 CAN 总线协议的正确帧收发、错误情况检测、错误帧管理、过载帧管理、消极错误状态处理、错误计数管理和位时序等功能,而且支持错误注入,可以用来测试被测设计的错误处理机制。此模型采用基于 task 的模型接口,根据测试需求可以简单地调用任务完成对被测目标的测试,从而提高了测试效率和覆盖率,减少了测试周期。经过符合《Road vehicles - Controller area network (CAN) - Conformance test plan》标准的测试,验证该验证模型的行为完全符合 CAN 总线协议规范,可以用于搭建各种 CAN 总线设备的测试环境。

参考文献:

- [1] 手把手教你学 CAN 总线[M]. 北京:北京航空航天大学出版社, 2010.
- [2] 许莉娅,段帅君,李传南. 基于 Verilog HDL 语言的 CAN 总线控制器设计及验证[J]. 现代电子技术, 2012, 35(10): 43-46.
- [3] 雷蕾,谷小刚. CAN 控制器状态机的分析与实现[J]. 兵工自动化, 2008, 27(3): 82-84.
- [4] 代寿刚,干莽,宋占伟. 基于 FPGA 的 CAN 总线故障分析仪[J]. 吉林大学学报:信息科学版, 2012, 30(5): 503-509.
- [5] 董玲,张松,于宗光,等. 基于 Verilog 的一种高效验证平台的研究及应用[J]. 微电子学与计算机, 2006, 23(1): 55-58.
- [6] Leyva R O. CAN bus termination circuits and CAN bus auto-termination methods: U. S. Patent 6,587,968[P]. 2003-07-01.
- [7] Szydlowski C P. CAN Specification 2.0: Protocol and Implementations[M]. [s. l.]: Society of Automotive Engineers, 1992.

(下转第 131 页)

有频率扩展功能的低温漂振荡器电路.通过对正负温度系数电流进行温度补偿的设计,使振荡器的输出温漂很低, $-40\sim 125^{\circ}\text{C}$ 下通过对电流大小进行 TRIMMING,使工艺漂移情况下振荡器的频率均能维持在 200 kHz 左右,可以很好地满足对温度变化时精度要求比较高的系统需求.此外,振荡器具备频率扩展功能,振荡器的输出频率随时间在中心频率附近渐进性变化,有效地增强了系统的电磁兼容能力.仿真结果显示,振荡器输出频率的温漂在 $\pm 1\%$ 以内,频率扩展的范围在 $\pm 5\%$ 以内,振荡器的性能很好地满足开关电源对振荡器的设计要求.该振荡器已经成功运用在一款 AC/DC 电源管理芯片中.

参考文献:

- [1] 虞晓凡,林平分.一种带温度和工艺补偿的片上时钟振荡器[J].微电子学与计算机,2009,26(1):1-6.
- [2] Franc M, Dejan K. Reduced conductive EMI in switched-mode DC-DC Power converters without EMI filters: PWM versus Randomized PWM[J]. IEEE Power Electronics Society, 2006, 21(6):1783-1794.
- [3] Kuisma M, Variable frequency switching in Power supply EMI-control: an overview [J]. Aerospace and e-

lectronic systems magazine, 2003, 18(12):18-22.

- [4] 张占松,蔡宣三.开关电源的原理与设计(修订版)[M].北京:电子工业出版社,2006.81-86.
- [5] 德·拉扎维.模拟 CMOS 集成电路设计[M].西安:西安交通大学出版社,2003:309-327.
- [6] 姜树法,张国俊.一种带频率抖动功能的振荡器电路的设计[J].微电子学,2013,43(4):1-2.
- [7] 李波,吕坚,蒋亚东.一种基于 0.5um CMOS 工艺的补偿性电流控制振荡器设计[J].电子器件,2009,32(1):4-8.
- [8] 王小曼,原义栋,田勇.一种频率稳定的低功耗振荡器电路设计[J].电子技术应用,2012,38(10):3.

作者简介:

赵晨光 男,(1990-),硕士研究生.研究方向为模拟集成电路设计. E-mail: 594781604@qq.com

冯全源 男,(1963-),博士,教授,博士生导师.研究方向为集成电路设计、RFID 技术、功率半导体技术、电磁兼容与环境电磁学、微波器件及材料等. E-mail: fengquanyuan@163.com

王丹 男,(1955-),副教授.研究方向为可编程集成电路应用电子电路、集成电路设计. E-mail: dwang55@126.com

(上接第 126 页)

- [8] Bosch R. CAN specification version 2.0[M]. Bosch: Sep, 1991.

作者简介:

吕易俗 男,(1990-),硕士.研究方向为低功耗数字集成电路设计. E-mail: lvyisu@mail. tsinghua. edu. cn.

田文杰 男,(1962-),博士,教授.研究方向为新型传感器

及其敏感材料、石英惯性传感器.

李翔宇 男,(1977-),博士,副教授.研究方向为 SOC 系统设计、核电子学、密码芯片的硬件安全.

殷树娟 女,(1981-),博士,讲师.研究方向为混合信号电路设计.

包舒 男,(1990-),硕士.研究方向为数字集成电路设计.

孙少东 男,(1990-),硕士.研究方向为数字集成电路设计.